

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-053255A

(43)Date of publication of application : 25.02.1994

(51)Int.Cl.

H01L 21/338

H01L 29/812

H01L 29/804

(21)Application number : 04-225236

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 31.07.1992

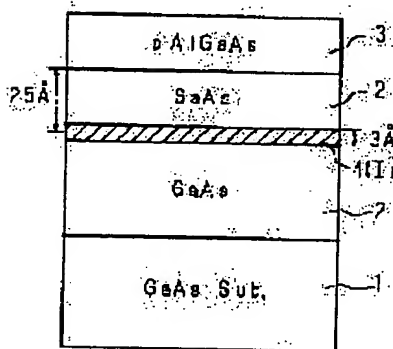
(72)Inventor : MATSUMURA KOJI

(54) SEMICONDUCTOR HETEROSTRUCTURE

(57)Abstract:

PURPOSE: To provide a semiconductor heterostructure whose effective mass with respect to the migrating direction of holes as carriers is reduced to thereby ensure high hole mobility.

CONSTITUTION: A semiconductor heterostructure has holes trapped in the vicinity of the hetero-interface between p-AlGaAs layer 3 of a wide forbidden band semiconductor and a GaAs channel layer 2 of a narrow forbidden band semiconductor. An InAs layer 4, which has a narrower forbidden band than that of the GaAs layer 2 and has biaxial compressive strain, is inserted in the GaAs layer 2 at the portion that has the highest hole density. The effective mass of holes is small in the migrating direction and is large in the



trapping direction.

Detailed Descriptions of the Invention:

.....

[0009]

[Action] In a semiconductor heterostructure of the present invention, by a biaxial compressive strain effect exerted by action of a semiconductor layer inserted in a narrow forbidden band semiconductor as a channel, degeneracy of a band of holes in the narrow forbidden band semiconductor is resolved, thereby decreasing an effective mass in the biaxial direction (migrating direction in the channel). Therefore, high-speed migration of the holes inside the channel is realized. Since no compressive strain is applied to a trapping direction, an effective mass in the trapping direction remains almost unchanged and large. Further, since the inserted semiconductor layer decreases potential energy of the holes, a hole trapping effect increases, and a carrier concentration also increases.

[0010]

[Examples] In the following, the present invention is specifically described based upon drawings showing examples thereof.

[0011] FIG. 3 is a sectional view showing a semiconductor heterostructure of an example in accordance with the present invention, and in the figure, numeral 1 denotes a GaAs substrate. On the GaAs substrate 1, a GaAs layer 2 as a narrow forbidden band semiconductor and a p-AlGaAs layer 3 as a wide forbidden band semiconductor (film thickness: 300 Å, impurity concentration: $3 \times 10^{18} \text{ cm}^{-3}$) are deposited in this order. Inside the GaAs layer 2, a monomolecular InAs layer 4 (film thickness: 3 Å) is inserted at a position 25 Å away from an interface with the p-AlGaAs layer 3. This position at which the InAs layer 4 is inserted is set in the vicinity of a position with a density of the holes being the highest inside the GaAs layer 2 as the channel. The holes as the carriers are supplied from the p-AlGaAs layer 3 as a hole supply layer to the GaAs layer 2.

[0012] FIG. 4 is an energy band diagram of the structure as shown in FIG. 3, a top of a valence band in the hetero interface between the GaAs layer 2 and the p-AlGaAs layer 3 is taken as an origin, and a downward direction is taken as a positive potential. Further, E_0 , ψ_{hh0} , E_v , E_F and N_s respectively indicate a sub-band energy level of the holes, a wave function of the holes, an energy level of the valence band, a Fermi level, and a state density of the holes. The sub-band energy level E_0 (energy level: not larger than 15 meV) is formed in the interface between the GaAs layer 2 and the p-AlGaAs layer 3, and the holes are two-dimensionally trapped between the sub-band energy level E_0 and the Fermi level E_F .

.....

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-53255

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/338

29/812

29/804

7376-4M

H 0 1 L 29/ 80

H

7376-4M

A

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-225236

(22)出願日 平成4年(1992)7月31日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 松村 浩二

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

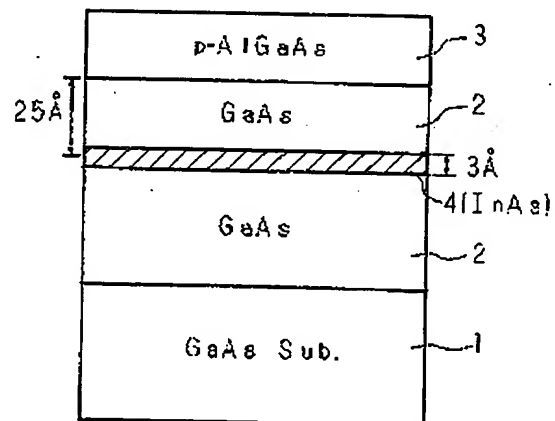
(74)代理人 弁理士 河野 登夫

(54)【発明の名称】 半導体ヘテロ構造

(57)【要約】

【目的】 キャリアとするホールの進行方向に対する有効質量を低減して、ホールの高い移動度を實現する半導体ヘテロ構造を提供する。

【構成】 広禁止帯半導体であるp-AlGaAs層3と低禁止帯半導体であるチャネルとしてのGaAs層2とのヘテロ界面近傍にホールを閉じ込めるようにした半導体ヘテロ構造において、GaAs層2内のホール密度が最も大きい位置に、GaAs層2より禁止帯が狭く、2軸性の圧縮歪みを持ったInAs層4を挿入する。ホールの有効質量は進行方向に対して小さく、閉じ込め方向に対して大きい。



【特許請求の範囲】

【請求項1】 ホールをキャリアとし、広禁止帯半導体とチャンネルとしての狭禁止帯半導体とを有する半導体ヘテロ構造において、前記狭禁止帯半導体より禁止帯が狭く、2軸性の圧縮歪みをもつ1または複数の半導体層を前記狭禁止帯半導体に挿入してあることを特徴とする半導体ヘテロ構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、超高速半導体素子のチャンネルとして用いられる半導体ヘテロ構造に関する。

【0002】

【従来の技術】 図1は、電子をキャリアとしたチャンネルに利用される従来の半導体ヘテロ構造を示す断面図である。図において、31はGaAs基板であり、GaAs基板31上には、狭禁止帯半導体であるGaAs層32と広禁止帯半導体であるn-AlGaAs層33（膜厚：350 Å、不純物濃度： $2 \times 10^{18} \text{ cm}^{-3}$ ）とがこの順に積層されている。キャリアとなる電子はn-AlGaAs層33からチャンネルとなるGaAs層32に供給される。

【0003】 このような構造では、電子はヘテロ界面に閉じ込められるので、電子が不純物散乱を受けにくく、またその有効質量 m^* は小さくなる（例えば狭禁止帯半導体をGaAs層にした場合、 $m^* = 0.067m_0$ 、 m_0 ：電子の静止質量）。その結果、電子は進行方向に対して高速性を有するという利点がある。ところが、電子は有効質量が小さいので進行方向だけでなく閉じ込め方向にも動きやすく、閉じ込めのための障壁である広禁止帯半導体にも広がって、不純物散乱の影響が避けられない。また、2次元キャリア（電子）の状態密度は閉じ込め方向の有効質量に比例するので、有効質量が小さい電子では状態密度が小さく、キャリア濃度も減少する。

【0004】 図2は、ホールをキャリアとしたチャンネルに利用される従来の半導体ヘテロ構造を示す断面図である。図において、41はGaAs基板であり、GaAs基板41上には、狭禁止帯半導体であるGaAs層42と広禁止帯半導体であるp-AlGaAs層43（膜厚：350 Å、不純物濃度： $2 \times 10^{18} \text{ cm}^{-3}$ ）とがこの順に積層されている。キャリアとなるホールはp-AlGaAs層43からチャンネルとなるGaAs層42に供給される。

【0005】 このような構造では、ホールの有効質量は電子に比べて大きい（ $0.45m_0$ より大きい）ので、その閉じ込め効果は電子より遙かに大きく、キャリアの2次元性が良好である。また、閉じ込め方向の有効質量に比例する2次元キャリア（ホール）の状態密度も、電子に比べて5倍以上である。

【0006】

【発明が解決しようとする課題】 ところが、ホールは有効質量が大きいので、進行方向の移動度が電子に比べて低く、ホールをキャリアとしたヘテロ構造を高速性が要

求されるデバイスへ適用させることは困難である。

【0007】 本発明は斯かる事情に鑑みてなされたものであり、ホールをキャリアとした場合においても高い移動度を達成できる半導体ヘテロ構造を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明に係る半導体ヘテロ構造は、ホールをキャリアとし、広禁止帯半導体とチャンネルとしての狭禁止帯半導体とを有する半導体ヘテロ構造において、前記狭禁止帯半導体より禁止帯が狭く、2軸性の圧縮歪みをもつ1または複数の半導体層を前記狭禁止帯半導体に挿入してあることを特徴とする。

【0009】

【作用】 本発明の半導体ヘテロ構造では、チャンネルとしての狭禁止帯半導体に挿入された半導体層の作用による2軸性の圧縮歪み効果によって、狭禁止帯半導体におけるホールのバンドの縮退が解消されて、その2軸方向（チャンネルにおける進行方向）の有効質量が小さくなる。従って、チャンネル内におけるホールの高速移動が実現される。閉じ込め方向には圧縮歪みを受けないので、閉じ込め方向の有効質量はほとんど変化せずに大きいままである。また、挿入した半導体層はホールのポテンシャルエネルギーを減少させるので、ホールの閉じ込め効果は増大し、キャリア濃度も増加する。

【0010】

【実施例】 以下、本発明をその実施例を示す図面に基づいて具体的に説明する。

【0011】 図3は本発明に係る一実施例の半導体ヘテロ構造を示す断面図であり、図中1はGaAs基板である。GaAs基板1上には、狭禁止帯半導体であるGaAs層2と広禁止帯半導体であるp-AlGaAs層3（膜厚：300 Å、不純物濃度： $3 \times 10^{18} \text{ cm}^{-3}$ ）とがこの順に積層されている。GaAs層2中には、p-AlGaAs層3との界面から25Å離れた位置に単分子のInAs層4（膜厚：3 Å）が挿入されている。このInAs層4の挿入位置は、チャンネルとなるGaAs層2内においてホールの密度が最も高くなる位置近傍に設定する。キャリアとなるホールはホール供給層としてのp-AlGaAs層3からGaAs層2に供給される。

【0012】 図4は、図3に示すような構造のエネルギーバンド図であり、GaAs層2とp-AlGaAs層3とのヘテロ界面における価電子帯の頂上を原点とし、下向きを正のポテンシャルとしている。また、 E_s 、 $\phi_{\text{a.s.}}$ 、 E_v 、 E_c 、 N_s は、それぞれホールのサブバンドエネルギー準位、ホールの波動関数、価電子帯のエネルギー準位、フェルミ準位、ホールの状態密度を示す。GaAs層2とp-AlGaAs層3との界面にサブバンドエネルギー準位 E_s （エネルギーレベル：15meV以下）が形成され、フェルミ準位 E_f との間にホールが2次元的に閉じ込められる。

【0013】 図5は本発明に係る他の実施例の半導体ヘテロ構造を示す断面図であり、図中1はGaAs基板であ

る。GaAs基板1上には、狭禁止帯半導体であるGaAs層2と広禁止帯半導体であるp-AlGaAs層3（膜厚：300 Å、不純物濃度： $3 \times 10^{17} \text{ cm}^{-3}$ ）とがこの順に積層されている。GaAs層2中には、p-AlGaAs層3との界面から20 Å、25 Å離れたそれぞれの位置に単分子のInAs層4、4（各膜厚：3 Å）が挿入されている。このInAs層4、4の挿入位置は、チャンネルとなるGaAs層2内においてホールの密度が最も高くなる位置近傍に設定する。キャリアとなるホールはホール供給層としてのp-AlGaAs層3からGaAs層2に供給される。

【0014】図6に、図4と同様に、図5に示すような構造のエネルギーバンドを示す。本実施例でも、GaAs層2とp-AlGaAs層3との界面にサブバンドE_s（エネルギーレベル：2 meV以下）が形成され、フェルミ準位との間にホールが2次元的に閉じ込められる。

【0015】本発明では、チャンネルであるGaAs層2内に、GaAsより更に禁止帯が狭く、2軸性の圧縮歪みをもったInAs層4を単層または複数層挿入しているの、その歪み効果によってホールの進行方向の有効質量が3分の1以下に減少して電子と同程度となり、移動度は増大する。一方、歪み効果の影響を受けない閉じ込め方向におけるホールの有効質量は殆ど変化せず、ホールが元来有していた大きな閉じ込め効果はそのまま維持できる。具体的にホールの有効質量は、進行方向においては0.085 m₀程度となり、閉じ込め方向においては0.35~0.45 m₀程度となる。

【0016】

【発明の効果】以上のように、本発明ではチャンネルより更に狭い禁止帯を有し、2軸性の圧縮歪みを持った半導体層をチャンネルに挿入したので、進行方向においては、元来重かったホールの有効質量がその歪み効果によって大幅に低減し、ホールの移動度は電子と同程度まで向上*

*し、高速デバイスへの適用を図ることが可能となる。

【0017】閉じ込め方向においてはホールの有効質量は大きいままであるので、閉じ込め効果は大きい。従って、不純物イオン、ホール間のクーロン力に対するホールの遮蔽効果は大きく、また、加工精度のばらつきによって生じるヘテロ界面におけるポテンシャルの不均一性に対するホールの遮蔽効果も大きい。この結果、移動度の更なる増大を図ることができる。

【0018】2次元系のキャリアの状態密度は閉じ込め方向の有効質量に比例するので、ホールをキャリアとする本発明のヘテロ構造では、電子をキャリアとした場合と比較して、状態密度は5倍以上となり、キャリア濃度も2~3倍となり、低雑音化を図ることができる。

【図面の簡単な説明】

【図1】電子をキャリアとした従来の半導体ヘテロ構造を示す断面図である。

【図2】ホールをキャリアとした従来の半導体ヘテロ構造を示す断面図である。

【図3】本発明の半導体ヘテロ構造の一実施例を示す断面図である。

【図4】図3に示す半導体ヘテロ構造のエネルギーバンド図である。

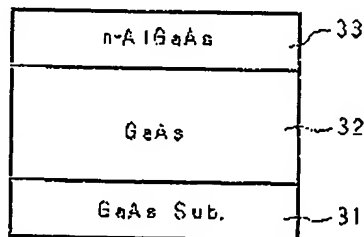
【図5】本発明の半導体ヘテロ構造の他の実施例を示す断面図である。

【図6】図5に示す半導体ヘテロ構造のエネルギーバンド図である。

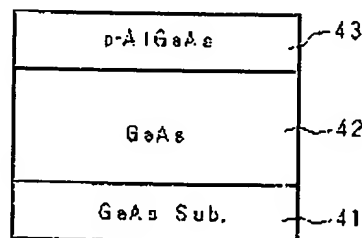
【符号の説明】

- 1 GaAs基板
- 2 p-AlGaAs層
- 3 GaAs層
- 4 InAs層

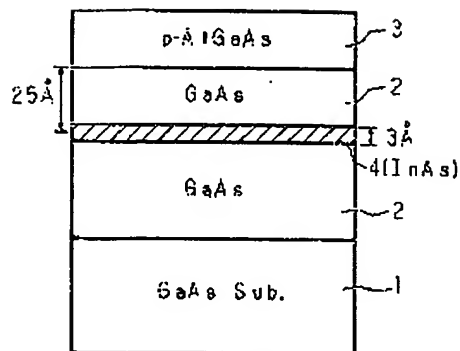
【図1】



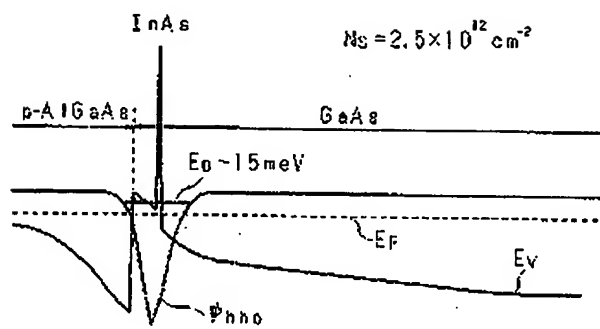
【図2】



【図3】

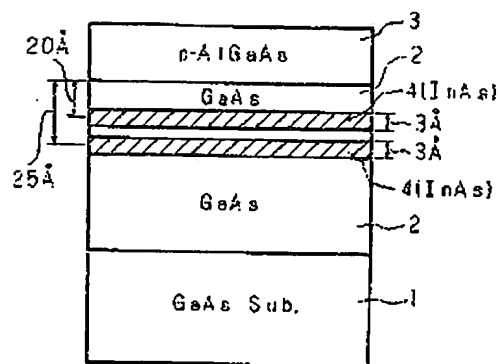


【図4】

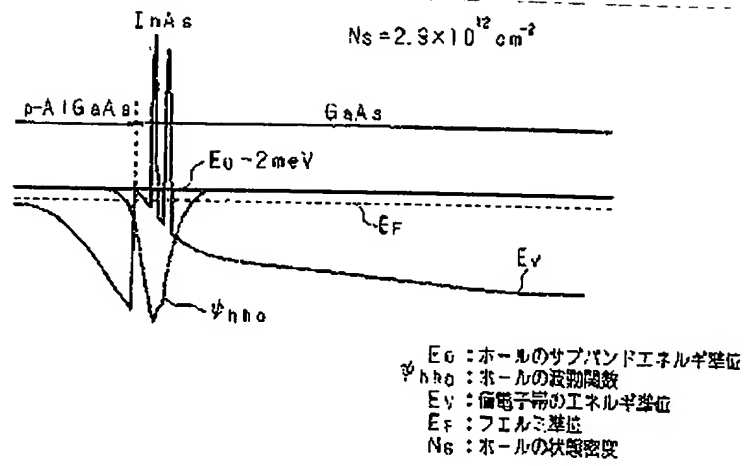


E_0 : ホールのサブバンドエネルギー準位
 ψ_{hho} : ホールの波動関数
 E_v : 価電子帯のエネルギー準位
 E_f : フェルミ準位
 N_s : ホールの状態密度

【図5】



【図6】



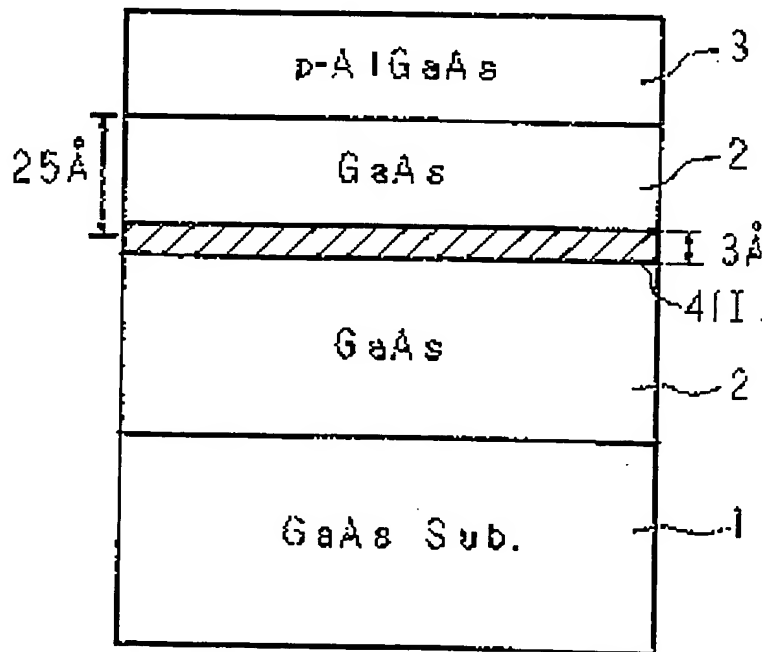
<p>番号 特願平4-225236</p> <p>日 平成4年(1992)7月31日</p>	<p>(71)出願人 000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号</p> <p>(72)発明者 松村 浩二 大阪府守口市京阪本通2丁目18番地 電機株式会社内</p> <p>(74)代理人 弁理士 河野 登夫</p>
--	---

【明の名称】 半導体ヘテロ構造

約]

キャリアとするホールの進行方向に対する有低減して、ホールの高い移動度を實現する半導構造を提供する。

広禁止帯半導体であるp-AlGaAs層3と低禁体であるチャネルとしてのGaAs層2とのヘテロにホールを閉じ込めるようにした半導体ヘテロいて、GaAs層2内のホール密度が最も大きい位As層2より禁止帯が狭く、2軸性の圧縮歪みをAs層4を挿入する。ホールの有効質量は進行方て小さく、閉じ込め方向に対して大きい。



止帯半導体に挿入してあることを特徴とする半導体構造。

【詳細な説明】

1】
【利用分野】本発明は、超高速半導体素子の利用として用いられる半導体ヘテロ構造に関する。

2】
【技術】図1は、電子をキャリアとしたチャネルれる従来の半導体ヘテロ構造を示す断面図であらう。31はGaAs基板であり、GaAs基板31上に止帯半導体であるGaAs層32と広禁止帯半導体であるAlGaAs層33（膜厚：350 Å、不純物濃度： $2 \times 10^{18} \text{ cm}^{-3}$ ）とがこの順に積層されている。キャリアとなるn-AlGaAs層33からチャネルとなるGaAs層32に入る。

3】このような構造では、電子はヘテロ界面にられるので、電子が不純物散乱を受けにくく、有効質量 m^* は小さくなる（例えば狭禁止帯半導体層にした場合、 $m^* = 0.067m_0$ 、 m_0 ：電子質量）。その結果、電子は進行方向に対して高速度という利点がある。ところが、電子は有効質量が小さいので進行方向だけでなく閉じ込め方向にもく、閉じ込めのための障壁である広禁止帯半導体層によって、不純物散乱の影響が避けられない。また元キャリア（電子）の状態密度は閉じ込め方向に比例するので、有効質量が小さい電子では状態密度が小さく、キャリア濃度も減少する。

4】図2は、ホールをキャリアとしたチャネルれる従来の半導体ヘテロ構造を示す断面図であらう。41はGaAs基板であり、GaAs基板41上に止帯半導体であるGaAs層42と広禁止帯半導体であるAlGaAs層43（膜厚：350 Å、不純物濃度： $2 \times 10^{18} \text{ cm}^{-3}$ ）とがこの順に積層されている。キャリアとなるp-AlGaAs層43からチャネルとなるGaAs層42に入る。

5】このような構造では、ホールの有効質量は非常に大きい（ $0.45m_0$ より大きい）ので、その効果は電子より遙かに大きく、キャリアの2次

【0008】

【課題を解決するための手段】本発明に係る半導体構造は、ホールをキャリアとし、広禁止帯半導体層としての狭禁止帯半導体とを有する半導体構造において、前記狭禁止帯半導体より禁止帯が2軸性の圧縮歪みをもつ1または複数の半導体層を狭禁止帯半導体に挿入してあることを特徴とする。

【0009】

【作用】本発明の半導体ヘテロ構造では、チャネルとしての狭禁止帯半導体に挿入された半導体層の作用として2軸性の圧縮歪み効果によって、狭禁止帯半導体層のホールのバンドの縮退が解消されて、その2軸性（チャネルにおける進行方向）の有効質量が小さくなる。従って、チャネル内におけるホールの高速移動が実現される。閉じ込め方向には圧縮歪みを受けないので閉じ込め方向の有効質量はほとんど変化せずになる。また、挿入した半導体層はホールのエネルギーを減少させるので、ホールの閉じ込めは増大し、キャリア濃度も増加する。

【0010】

【実施例】以下、本発明をその実施例を示す図面を参照して具体的に説明する。

【0011】図3は本発明に係る一実施例の半導体構造を示す断面図であり、図中1はGaAs基板であり、GaAs基板1上には、狭禁止帯半導体であるGaAs層2と広禁止帯半導体であるp-AlGaAs層3（膜厚：300 Å、不純物濃度： $3 \times 10^{18} \text{ cm}^{-3}$ ）とがこの順に積層される。GaAs層2中には、p-AlGaAs層3との界面から離れた位置に単分子のInAs層4（膜厚：3 Å）が設けられている。このInAs層4の挿入位置は、チャネルとなるGaAs層2内においてホールの密度が最も高くなるように設定する。キャリアとなるホールはホール供給源としてのp-AlGaAs層3からGaAs層2に供給される。

【0012】図4は、図3に示すような構造のエネルギーバンド図であり、GaAs層2とp-AlGaAs層3との界面における価電子帯の頂上を原点とし、下向きにポテンシャルとしている。また、 E_c 、 ϕ_{nnc} 、 E_v 、 ϕ_{ppc} は、それぞれホールのサブバンドエネルギー準位を示す。

厚：3 Å）が挿入されている。このInAs層4、位置は、チャネルとなるGaAs層2内においてホドが最も高くなる位置近傍に設定する。キャリアホールはホール供給層としてのp-AlGaAs層3層2に供給される。

4] 図6に、図4と同様に、図5に示すようなエネルギーバンドを示す。本実施例でも、GaAs層2 GaAs層3との界面にサブバンドE_c（エネルギー2 meV以下）が形成され、フェルミ準位との間が2次元的に閉じ込められる。

5] 本発明では、チャネルであるGaAs層2内より更に禁止帯が狭く、2軸性の圧縮歪みをも層4を単層または複数層挿入しているの、それによってホールの進行方向の有効質量が3分に減少して電子と同程度となり、移動度は増大、歪み効果の影響を受けない閉じ込め方向にールの有効質量は殆ど変化せず、ホールが元来た大きな閉じ込め効果はそのまま維持できる。ホールの有効質量は、進行方向においては0.08度となり、閉じ込め方向においては0.35~0.45となる。

6] 効果] 以上のように、本発明ではチャネルより禁止帯を有し、2軸性の圧縮歪みを持った半導チャネルに挿入したので、進行方向においては、ったホールの有効質量がその歪み効果によって減し、ホールの移動度は電子と同程度まで向上*

って生じるヘテロ界面におけるポテンシャルのに対するホールの遮蔽効果も大きい。この結果の更なる増大を図ることができる。

【0018】2次元系のキャリアの状態密度は10 方向の有効質量に比例するので、ホールをキャる本発明のヘテロ構造では、電子をキャリアと比較して、状態密度は5倍以上となり、キャリアも2~3倍となり、低雑音化を図ることができ【図面の簡単な説明】

【図1】電子をキャリアとした従来の半導体へを示す断面図である。

【図2】ホールをキャリアとした従来の半導体造を示す断面図である。

【図3】本発明の半導体ヘテロ構造の一実施例：面図である。

【図4】図3に示す半導体ヘテロ構造のエネルギー図である。

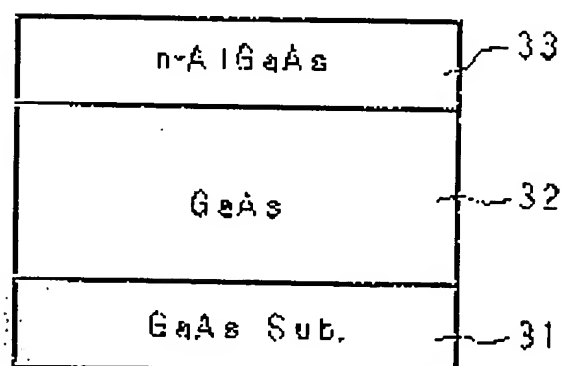
【図5】本発明の半導体ヘテロ構造の他の実施例断面図である。

【図6】図5に示す半導体ヘテロ構造のエネルギー図である。

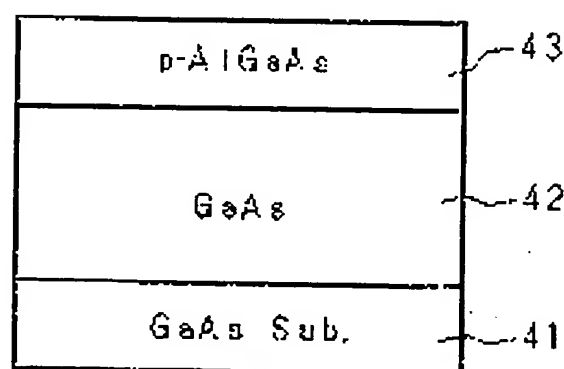
【符号の説明】

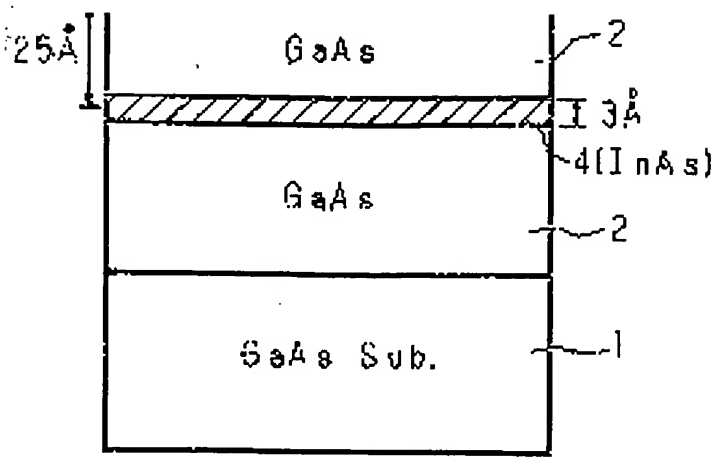
- 1 GaAs基板
- 2 p-AlGaAs層
- 3 GaAs層
- 4 InAs層

【図1】

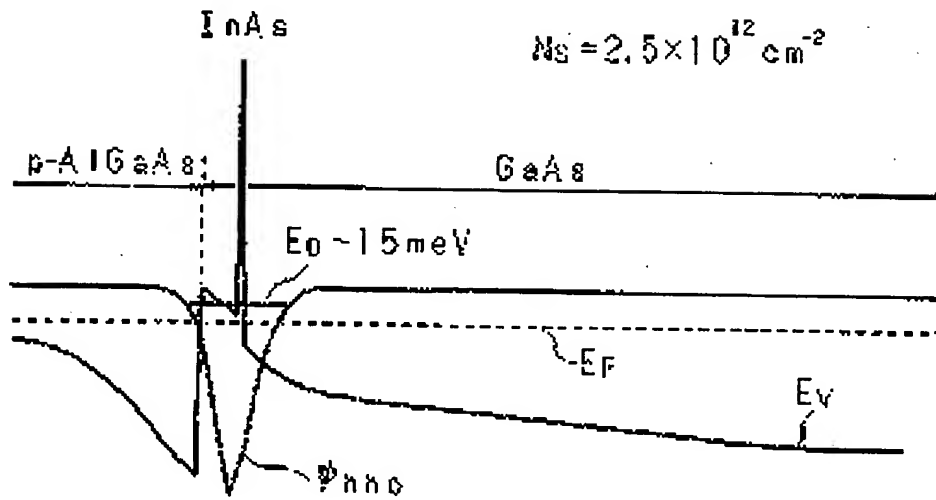


【図2】



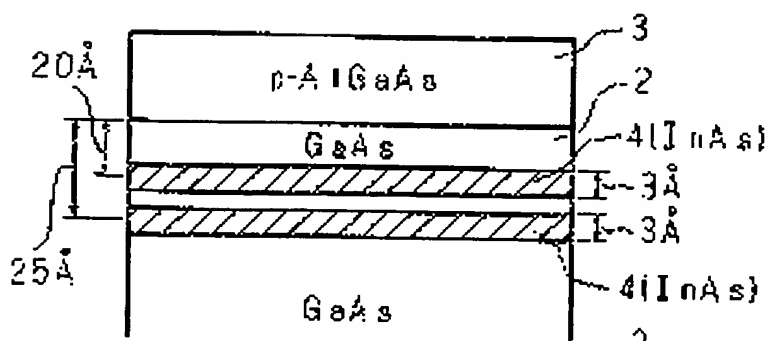


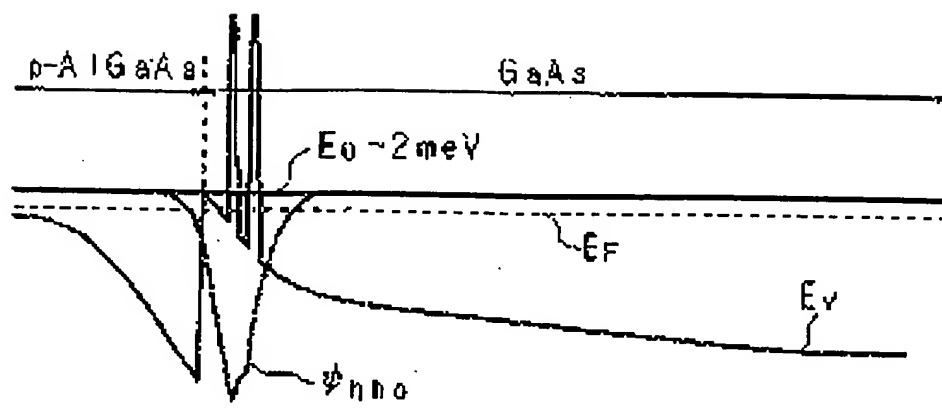
【図4】



- E_0 : ホールのサブバンドエネルギー準位
 ψ_{nno} : ホールの波動関数
 E_V : 価電子帯のエネルギー準位
 E_F : フェルミ準位
 N_s : ホールの状態密度

【図5】





- E_0 : ホールのサブバンドエネルギー準位
- ψ_{hh0} : ホールの波動関数
- E_v : 価電子帯のエネルギー準位
- E_F : フェルミ準位
- N_s : ホールの状態密度